



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **06152478 A**(43) Date of publication of application: **31 . 05 . 94**

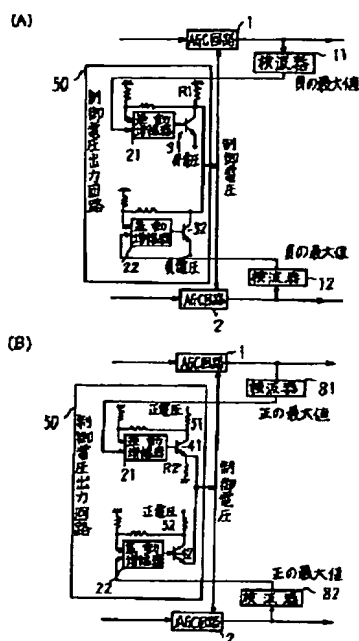
(51) Int. Cl.

H04B 7/02
H04B 1/16(21) Application number: **04301462**(71) Applicant: **FUJITSU LTD**(22) Date of filing: **12 . 11 . 92**(72) Inventor: **UTAKOJI AKIRA****(54) COMMON AGC CIRCUIT****(57) Abstract:**

PURPOSE: To make the output level of each automatic gain control(AGC) circuit equal with the output level of an AGC circuit to input a higher signal level among the levels of signals inputted to the respective AGC circuits when both of inputs of space diversity are turned to A.

CONSTITUTION: When the levels inputted to AGC circuits 1 and 2 are equally A, the negative maximum values of outputs from detectors 11 and 12 are equal, and currents to flow to transistors 31 and 32 are equal. Since the circuits of different resistance values caused by currents like a diode are not provided, voltages at both terminals of a common collector resistor R1 are made equal to voltages at both terminals of the common collector resistor R1 at the time of the signal level A higher between the signals levels inputted to the AGC circuits. Therefore, the output levels of the AGC circuits 1 and 2 are made equal to the output level of the AGC circuit to input the higher signal level A among the signal levels inputted to the AGC circuits 1 and 2.

COPYRIGHT: (C)1994,JPO&Japio



(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-152478

(43)公開日 平成6年(1994)5月31日

(51)Int.Cl.⁵

H 0 4 B 7/02
1/16

識別記号

庁内整理番号

Z 8732-5K
R 7240-5K

F I

技術表示箇所

審査請求 未請求 請求項の数2(全 9 頁)

(21)出願番号 特願平4-301462

(22)出願日 平成4年(1992)11月12日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72)発明者 宇多小路 明

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74)代理人 弁理士 井桁 貞一

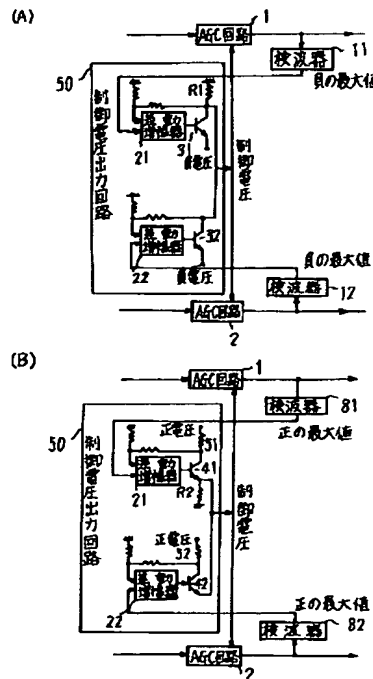
(54)【発明の名称】 共通自動利得制御回路

(57)【要約】

【目的】 共通AGC回路に関し、スペースダイバーシティの両入力レベルがAとなった場合、各AGC回路の出力レベルは、各AGC回路に入力する信号レベルの内大きい方の信号レベルAが入力するAGC回路の出力レベルと等しくなる共通AGC回路の提供を目的とする。

【構成】 AGC回路1, 2の夫々の出力に接続された検波器11, 12にて負の最大値を検出し、制御電圧出力回路50に入力し、出力の負の制御電圧にてAGC回路1, 2の利得を制御する共通AGC回路において、制御電圧出力回路50を、AGC回路1, 2対応に差動増幅器21, 22を有し、出力を夫々、一方がアースの共通コレクタ抵抗R1にコレクタが接続され、エミッタ側には負電圧が与えられた夫々のトランジスタ31, 32に接続し、共通コレクタ抵抗R1より差動増幅器21, 22の入力に負帰還すると共に基準電圧を与えるようにし、又差動増幅器21, 22には夫々の検波器11, 12にて検出した負の最大値を夫々入力するようにした構成とする。

本発明の原理ブロック図



【特許請求の範囲】

【請求項 1】 複数の自動利得制御回路（1， 2）の夫々の出力に接続された検波器（11， 12）にて最大値を検出し、制御電圧出力回路（50）に入力し、該制御電圧出力回路（50）の出力の制御電圧にて該複数の自動利得制御回路（1， 2）の利得を制御する共通自動利得制御回路において、該制御電圧出力回路（50）を、該複数の自動利得制御回路（1， 2）対応に差動増幅器（21， 22）を有し、夫々の差動増幅器の出力を夫々、一方がアースの共通コレクタ抵抗（R1）にコレクタが接続され、エミッタ側には負電圧が与えられた夫々のトランジスタ（31， 32）のベースに接続し、該共通コレクタ抵抗（R1）より各差動増幅器（21， 22）の入力に分圧形で負帰還すると共に基準電圧を与えるようにし、又該各差動増幅器（21， 22）には夫々の該検波器（11， 12）にて検波した負の最大値を夫々入力するようにしたことを特徴とする共通自動利得制御回路。

【請求項 2】 請求項 1 記載の制御電圧出力回路（50）を、複数の自動利得制御回路（1， 2）対応に差動増幅器（21， 22）を有し、夫々の差動増幅器の出力を夫々、一方がアースの共通エミッタ抵抗（R2）にエミッタが接続され、正電圧よりコレクタ抵抗（51， 52）を介してコレクタに接続された夫々のトランジスタ（41， 42）のベースに接続し、該夫々のトランジスタ（41， 42）の該コレクタ抵抗（51， 52）より各差動増幅器（21， 22）の入力に分圧形で負帰還すると共に基準電圧を与えるようにし、又該各差動増幅器（21， 22）には夫々の検波器（81， 82）にて検波した正の最大値を夫々入力するようにしたことを特徴とする共通自動利得制御回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、スペースダイバーシティ合成前段に使用する共通自動利得制御回路（以下共通 AGC 回路と称す）の改良に関する。

【0002】 多重無線装置においてはマルチフェージングによる歪補償の為にスペースダイバーシティ受信方式が採用されている。この方式ではスペースダイバーシティ合成前段に夫々自動利得制御回路（以下 AGC 回路と称す）が用いられるが、各 AGC 回路は合成される信号毎に同一利得で動作する必要があるが、これ等の AGC 回路を纏めて共通 AGC 回路と称せられている。

【0003】 共通 AGC 回路の各 AGC 回路を同一利得で動作させる為には、各 AGC 回路に入力する信号レベルの内最大の信号レベルによる制御電圧で各 AGC 回路の利得を制御する必要があるが、各 AGC 回路に入力する信号レベルが例えば A の値で等しくなった場合、各 AGC 回路の出力レベルは、各 AGC 回路に入力する信号レベルの内大きい方の信号レベル A が入力する AGC 回

(2)

2

路の出力レベルと等しくなる共通 AGC 回路の提供が望まれている。

【0004】

【従来の技術】 図 5 は従来例の共通 AGC 回路のブロック図である。図 5 では、スペースダイバーシティの主側の信号は可変減衰器による AGC 回路 1 に入力し、副側の信号は可変減衰器による AGC 回路 2 に入力し、出力は検波器 81， 82 にて検波されて正の最大値が出力され、差動増幅器 51， 52 の＋側端子に入力する。

【0005】 差動増幅器 51， 52 は夫々抵抗 R32， R33， R34， R35 を介して負帰還され、又差動増幅器 51， 52 の一側端子には分圧器 70， 71 にて同じ直流電圧が基準電圧として与えられており、差動増幅器 51， 52 の出力はダイオード D1， D2 を介して抵抗 R39 に電流を流し、抵抗 R39 の両端の電圧を、バッファ 62 にて増幅し、制御電圧として AGC 回路 1， 2 に与えるようにしている。

【0006】 この場合、例えば、主側入力のレベルが副側入力のレベルより高いと、ダイオード D1 はオンとなるも、ダイオード D2 はオフで、電流は差動増幅器 51 の出力よりダイオード D1 を介して抵抗 R39 に流れ、抵抗 R39 の両端の電圧がバッファ 62 にて増幅され AGC 回路 1， 2 の制御電圧として与えられ、検波器 81 にて検波した正の最大値が、差動増幅器 51 の一側に入力する基準電圧と同じになるように制御される。

【0007】 このようにすることにより、AGC 回路 1， 2 の利得は同じになるように制御される。

【0008】

【発明が解決しようとする課題】 しかしながら、主側入力レベルと副側入力レベルが例えば A で等しくなるとダイオード D1， D2 共オンとなり、差動増幅器 51， 52 の出力電流は両方で、主側、副側の AGC 回路に入力する信号レベルの内大きい方の信号レベルが A の時の抵抗 R39 の両端の電圧と等しくなるとなり、ダイオード D1， D2 に流れる電流は、一方の AGC 回路に入力する信号レベルの内大きい方の信号レベルが A の時の抵抗 R39 に流れる電流の 1/2 となり、ダイオード D1， D2 の抵抗が大きくなり、AGC 回路、検波器、差動増幅器、ダイオード、バッファ 62 よりなるループ利得が小となり、一方の AGC 回路に入力する信号レベルの内大きい方の信号レベルが A の時の、信号レベル A が入力する AGC 回路の出力レベルと等しくならない問題点がある。

【0009】 本発明は、スペースダイバーシティの主側、副側の入力レベルが共に A となった場合、各 AGC 回路の出力レベルは、各 AGC 回路に入力する信号レベルの内大きい方の信号レベル A が入力する AGC 回路の出力レベルと等しくなる共通 AGC 回路の提供を目的としている。

【0010】

【課題を解決するための手段】図1は本発明の原理ブロック図である。図1(A)に示す如く、複数のAGC回路1, 2の夫々の出力に接続された検波器11, 12にて負又は81, 82にて正の最大値を検出し、制御電圧出力回路50に入力し、該制御電圧出力回路50の出力の制御電圧にて該複数の自動利得制御回路1, 2の利得を制御する共通AGC回路において、該制御電圧出力回路50を、複数のAGC回路1, 2対応に差動増幅器21, 22を有し、夫々の差動増幅器の出力を夫々、一方がアースの共通コレクタ抵抗R1にコレクタが接続され、エミッタ側には負電圧が与えられた夫々のトランジスタ31, 32のベースに接続し、該共通コレクタ抵抗R1より各差動増幅器21, 22の入力に分圧形で負帰還すると共に基準電圧を与えるようにし、又該各差動増幅器21, 22には夫々の該検波器11, 12にて検波した負の最大値を夫々入力するようにした構成にするか、又は図1(B)に示す如く、複数のAGC回路1, 2対応に差動増幅器21, 22を有し、夫々の差動増幅器の出力を夫々、一方がアースの共通エミッタ抵抗R2にエミッタが接続され、正電圧よりコレクタ抵抗51, 52を介してコレクタに接続された夫々のトランジスタ41, 42のベースに接続し、該夫々のトランジスタ41, 42の該コレクタ抵抗51, 52より各差動増幅器21, 22の入力に分圧形で負帰還すると共に基準電圧を与えるようにし、又該各差動増幅器21, 22には夫々の検波器81, 82にて検波した正の最大値を夫々入力するようにする構成とする。

【0011】

【作用】本発明によれば、図1(A)の場合は、例えばAGC回路1への入力レベルが高い場合は、検波器12の出力の負の最大値より、検波器11の出力の負の最大値の方が大きく、差動増幅器21の出力が、差動増幅器22の出力より大きく、トランジスタ31に流れる電流の方がトランジスタ32に流れる電流より大きく、共通コレクタ抵抗R1の両端の電圧は差動増幅器21の出力にて定まり、この定まった制御電圧でAGC回路1, 2を制御するのでAGC回路1, 2の利得は等しくなる。

【0012】AGC回路1, 2に入力するレベルが等しくAの場合は、検波器11, 12の出力の負の最大値は等しく、トランジスタ31, 32に流れる電流は等しく、ダイオードの如き電流により抵抗値の異なる回路を持たないので、共通コレクタ抵抗R1の両端の電圧は、AGC回路に入力する信号レベルの内大きい方の信号レベルがAの時の共通コレクタ抵抗R1の両端の電圧と等しくなり、AGC回路1, 2の出力レベルは、AGC回路1, 2に入力する信号レベルの内大きい方の信号レベルAが入力するAGC回路の出力レベルと等しくなる。

【0013】図1(B)の場合は、例えばAGC回路1への入力レベルが高い場合は、検波器81の出力の正の最大値の方が、検波器82の出力の正の最大値より大き

く、差動増幅器21の出力が、差動増幅器22の出力より大きく、トランジスタ41に流れる電流の方がトランジスタ42に流れる電流より大きく、共通エミッタ抵抗R2の両端の電圧は差動増幅器21の出力にて定まり、この定まった制御電圧でAGC回路1, 2を制御するのでAGC回路1, 2の利得は等しくなる。

【0014】AGC回路1, 2に入力するレベルが等しくAの場合は、検波器81, 82の出力の正の最大値は等しく、トランジスタ31, 32に流れる電流は等しくなり、ダイオードの如き電流により抵抗値の異なる回路を持たないので、共通エミッタ抵抗R2の両端の電圧は、AGC回路に入力する信号レベルの内大きい方の信号レベルがAの時の共通コレクタ抵抗R2の両端の電圧と等しくなり、AGC回路1, 2の出力レベルは、AGC回路1, 2に入力する信号レベルの内大きい方の信号レベルAが入力するAGC回路の出力レベルと等しくなる。

【0015】

【実施例】図2は本発明の実施例の共通AGC回路のブロック図、図3は本発明の他の実施例の共通AGC回路のブロック図、図4は本発明の実施例の3面アンテナスペースダイバーシティの場合の共通AGC回路のブロック図である。

【0016】図2では、スペースダイバーシティの主側の信号は可変減衰器によるAGC回路1に入力し、副側の信号は可変減衰器によるAGC回路2に入力し、出力は夫々検波器11, 12にて検波され負の最大値が出力され、夫々抵抗R12, R15を介して差動増幅器21, 22の一端端子に入力し、差動増幅器21, 22の出力は夫々トランジスタ31, 32のベースに入力する。

【0017】トランジスタ31, 32は、一方がアースの共通コレクタ抵抗R1を介してコレクタに接続され、又エミッタには-10Vが与えられており、共通コレクタ抵抗R1より、抵抗R10, R11又は抵抗R13, R14を介して夫々差動増幅器21, 22の+側端子に負帰還され基準電圧を与えている。

【0018】共通コレクタ抵抗R1の両端の電圧は、抵抗R36, コンデンサC1よりなるフィルタを介してバッファ60に入力し増幅されて制御電圧となりAGC回路1, 2に与えられ、AGC回路1, 2を同じ利得で利得制御するようにしている。

【0019】そこで、例えばAGC回路1への入力レベルが、AGC回路2への入力レベルより高い場合は、検波器11の出力の負の最大値が、検波器12の出力の負の最大値より大きく、差動増幅器21の出力が、差動増幅器22の出力より大きく、トランジスタ31に流れる電流の方がトランジスタ32に流れる電流より大きく、共通コレクタ抵抗R1の両端の電圧は差動増幅器21の出力にて定まり、この時の共通コレクタ抵抗R1の両端

の電圧は、抵抗 R 3 6、コンデンサ C 1 よりなるフィルタを介してバッファ 6 0 に入力し増幅されて制御電圧となり AGC 回路 1, 2 に与えられ、AGC 回路 1, 2 を同じ利得で利得制御し、検波器 1 1 の負の最大値が差動増幅器 2 1 の基準電圧と等しくなるようになる。

【0020】AGC 回路 1, 2 に入力するレベルが等しく A の場合は、検波器 1 1, 1 2 の出力の負の最大値は等しく、トランジスタ 3 1, 3 2 に流れる電流は等しく、ダイオードの如き電流により抵抗値の異なる回路を持たないので、共通コレクタ抵抗 R 1 の両端の電圧は、AGC 回路に入力する信号レベルの内大きい方の信号レベルが A の時の共通コレクタ抵抗 R 1 の両端の電圧と等しくなり、AGC 回路 1, 2 の出力レベルは、AGC 回路 1, 2 に入力する信号レベルの内大きい方の信号レベル A が入力する AGC 回路の出力レベルと等しくなる。

【0021】図 3 では、スペースダイバーシティの主側の信号は AGC 回路 1 に入力し、副側の信号は AGC 回路 2 に入力し、出力は夫々検波器 8 1, 8 2 にて検波され正の最大値が出力され、夫々抵抗 R 2 8, R 3 1 を介して差動増幅器 2 1, 2 2 の一側端子に入力し、差動増幅器 2 1, 2 2 の出力は夫々トランジスタ 4 1, 4 2 のベースに入力する。

【0022】トランジスタ 4 1, 4 2 のコレクタは 10 V の電源より抵抗 5 1, 5 2 を介して接続され、エミッタは共通エミッタ抵抗 R 2 を介してアースに接続されている。

【0023】又抵抗 5 1, 5 2 の両端の電圧は夫々抵抗 R 2 6, R 2 7、抵抗 R 2 9, R 3 0 にて分圧され夫々差動増幅器 2 1, 2 2 の+側端子に負帰還され基準電圧を与える。

【0024】共通エミッタ抵抗 R 2 の両端の電圧は、抵抗 R 3 8、コンデンサ C 3 よりなるフィルタを介してバッファ 6 1 に入力し増幅されて制御電圧となり AGC 回路 1, 2 に与えられ、AGC 回路 1, 2 を同じ利得で利得制御するようにしている。

【0025】そこで、例えば AGC 回路 1 への入力レベルが、AGC 回路 2 への入力レベルより高い場合は、検波器 8 1 の出力の正の最大値が、検波器 8 2 の出力の正の最大値より大きく、差動増幅器 2 1 の出力が、差動増幅器 2 2 の出力より大きく、トランジスタ 4 1 に流れる電流の方がトランジスタ 4 2 に流れる電流より大きく、共通エミッタ抵抗 R 2 の両端の電圧は差動増幅器 2 1 の出力にて定まり、この時の共通エミッタ抵抗 R 2 の両端の電圧は、抵抗 R 3 8、コンデンサ C 3 よりなるフィルタを介してバッファ 6 1 に入力し増幅されて制御電圧となり AGC 回路 1, 2 に与えられ、AGC 回路 1, 2 を同じ利得で利得制御し、検波器 8 1 の正の最大値が差動増幅器 2 1 の基準電圧と等しくなるようになる。

【0026】AGC 回路 1, 2 に入力するレベルが等しく A の場合は、検波器 8 1, 8 2 の出力の負の最大値は

等しく、トランジスタ 4 1, 4 2 に流れる電流は等しく、ダイオードの如き電流により抵抗値の異なる回路を持たないので、共通エミッタ抵抗 R 2 の両端の電圧は、AGC 回路に入力する信号レベルの内大きい方の信号レベルが A の時の共通エミッタ抵抗 R 2 の両端の電圧と等しくなり、AGC 回路 1, 2 の出力レベルは、AGC 回路 1, 2 に入力する信号レベルの内大きい方の信号レベル A が入力する AGC 回路の出力レベルと等しくなる。

【0027】図 4 は、3 面アンテナスペースダイバーシティの場合の共通 AGC 回路で、各入力 AGC 回路 1, 2, 3 に入力し、同じ制御電圧で制御され AGC 回路 1, 2, 3 は同じ利得で自動利得制御するものである。

【0028】又 AGC 回路 1, 2, 3 の出力は検波器 1 1, 1 2, 1 3 にて負の最大値を出力し、夫々抵抗 R 1 9, R 2 2, R 2 5 を介して差動増幅器 2 1, 2 2, 2 3 の一側端子に入力するようにしている。

【0029】この場合の制御電圧出力回路は、図 2 の場合に、AGC 回路 3 対応に、図 2 の例えば AGC 回路 2 対応の、差動増幅器 2 2、トランジスタ 3 2 よりなる回路相当の、差動増幅器 2 3、トランジスタ 3 3 よりなる回路を追加し、トランジスタ 3 3 のコレクタを共通コレクタ抵抗 R 1 6 に接続し、AGC 回路 1, 2, 3 の内入力レベルの一番高い方の検波器の出力にて共通コレクタ抵抗 R 1 6 の両端の電圧を設定し、抵抗 R 3 7、コンデンサ C 2 よりなるフィルタを介してバッファ 6 2 に入力し増幅して制御電圧として AGC 回路 1, 2, 3 に与えるようにしている。

【0030】この場合 AGC 回路 1, 2, 3 への入力レベルが A で等しくなると、共通コレクタ抵抗 R 1 6 の両端の電圧は、AGC 回路に入力する信号レベルの内大きい方の信号レベルが A の時の共通コレクタ抵抗 R 1 6 の両端の電圧と等しくなり、AGC 回路 1, 2, 3 の出力レベルは、AGC 回路 1, 2, 3 に入力する信号レベルの内大きい方の信号レベル A が入力する AGC 回路の出力レベルと等しくなる。

【0031】検波器が検波して正の最大値を出力する場合は、図 3 の場合の AGC 回路 2 対応部分の回路を AGC 回路 3 対応に 1 つ追加し、共通エミッタ抵抗 R 2 を共通に使用するようにし、共通エミッタ抵抗 R 2 の両端の電圧を制御電圧とするようにすればよい。

【0032】

【発明の効果】以上詳細に説明せる如く本発明によれば、スペースダイバーシティの主側、副側の入力レベルが共に等しく A となった場合主側、副側の AGC 回路の出力レベルが、スペースダイバーシティの主側、副側の入力レベルの内高い方のレベルが A の場合の AGC 回路の出力レベルと等しくなる効果がある。

【図面の簡単な説明】

【図 1】は本発明の原理ブロック図、

【図2】は本発明の実施例の共通AGC回路のブロック図、

【図3】は本発明の他の実施例の共通AGC回路のブロック図、

【図4】は本発明の実施例の3面アンテナスペースダイバーシティの場合の共通AGC回路のブロック図、

【図5】は従来例の共通AGC回路のブロック図である。

【符号の説明】

* 1, 2, 3はAGC回路、

11, 12, 13, 81, 82は検波器、

21, 22, 23は差動増幅器、

31, 32, 33, 41, 42はトランジスタ、

50は制御電圧出力回路、

51, 52, R1, R2, R10~R39は抵抗、

C1~C3はコンデンサ、

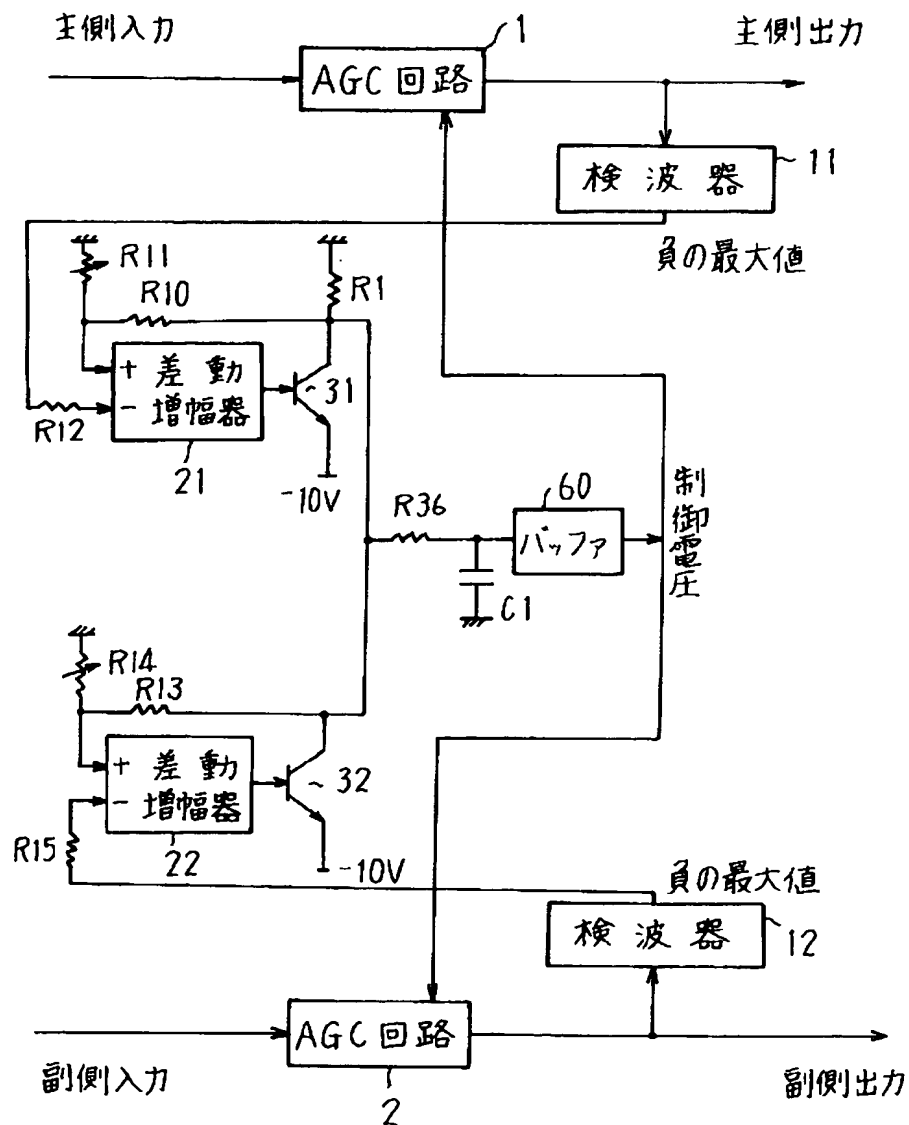
D1, D2はダイオードを示す。

*

10

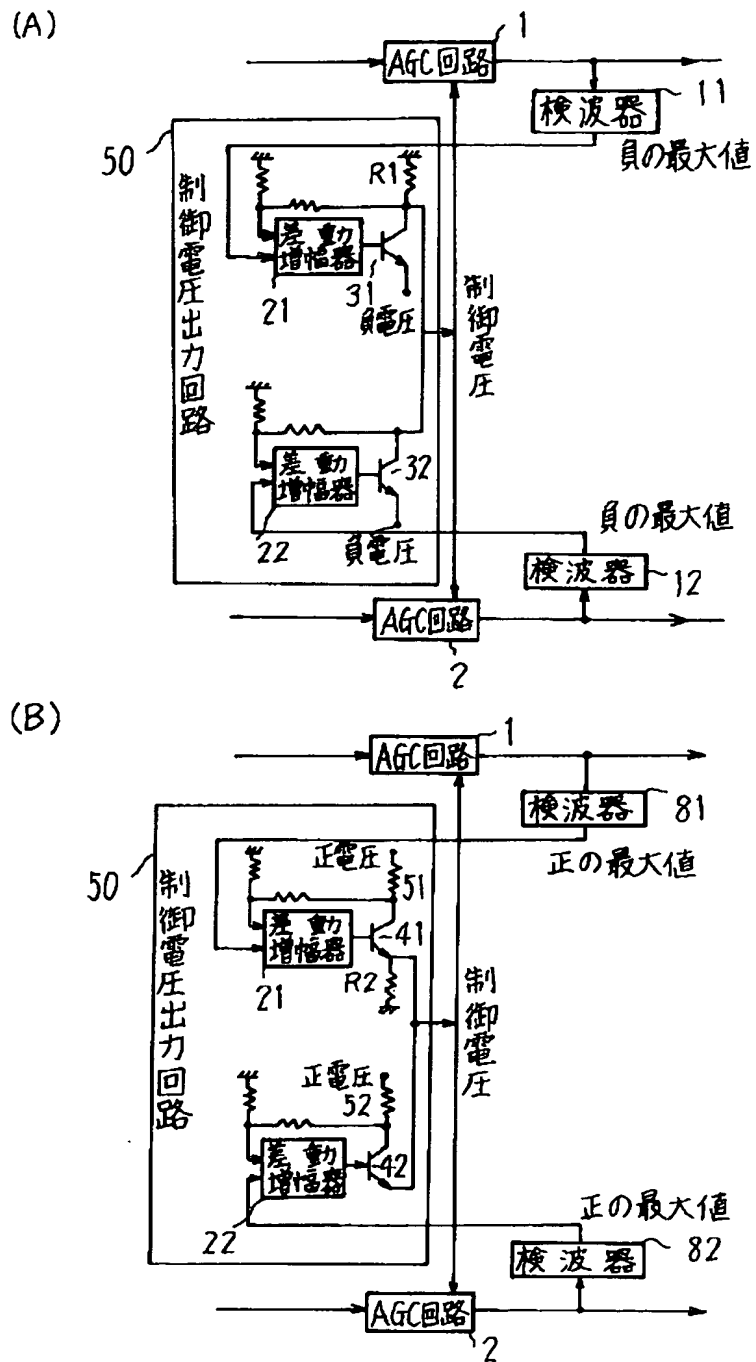
【図2】

本発明の実施例の共通AGC回路のブロック図



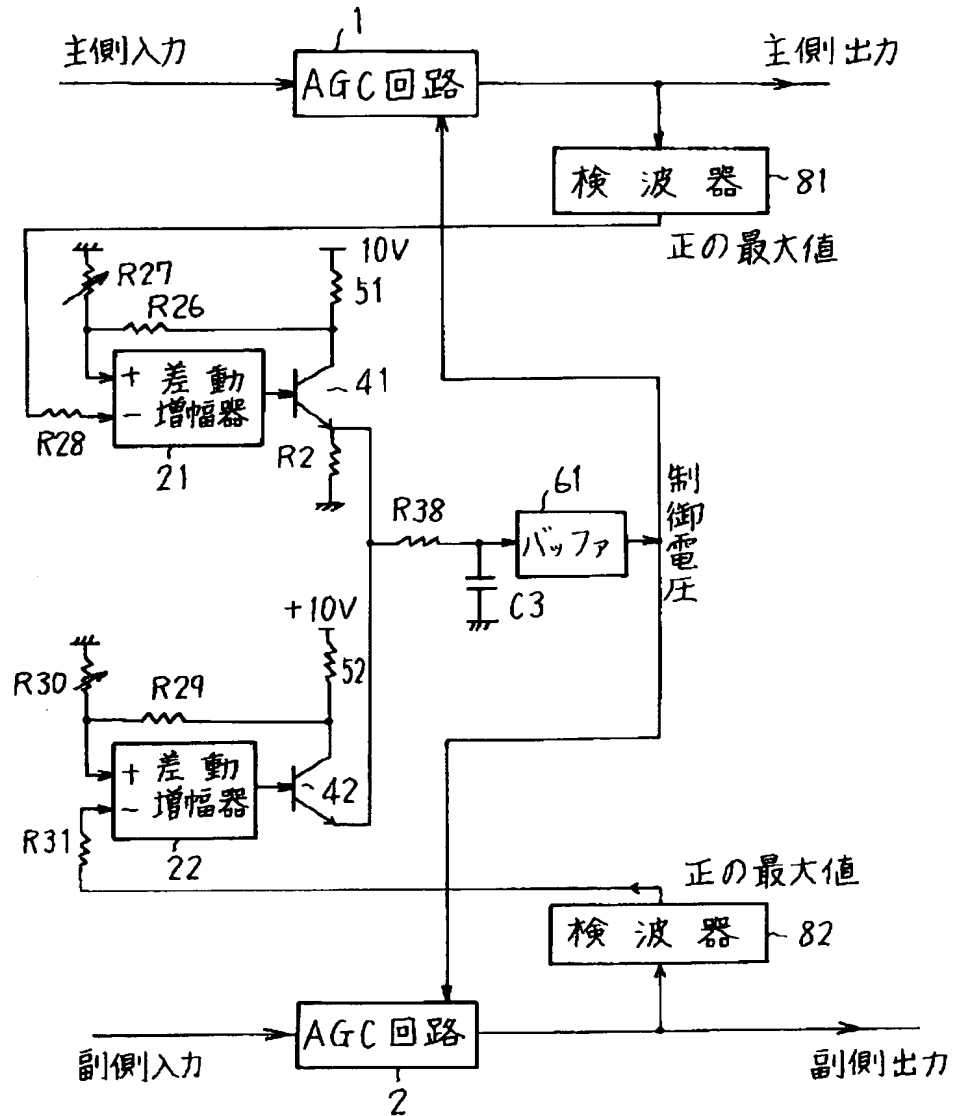
【図1】

本発明の原理ブロック図



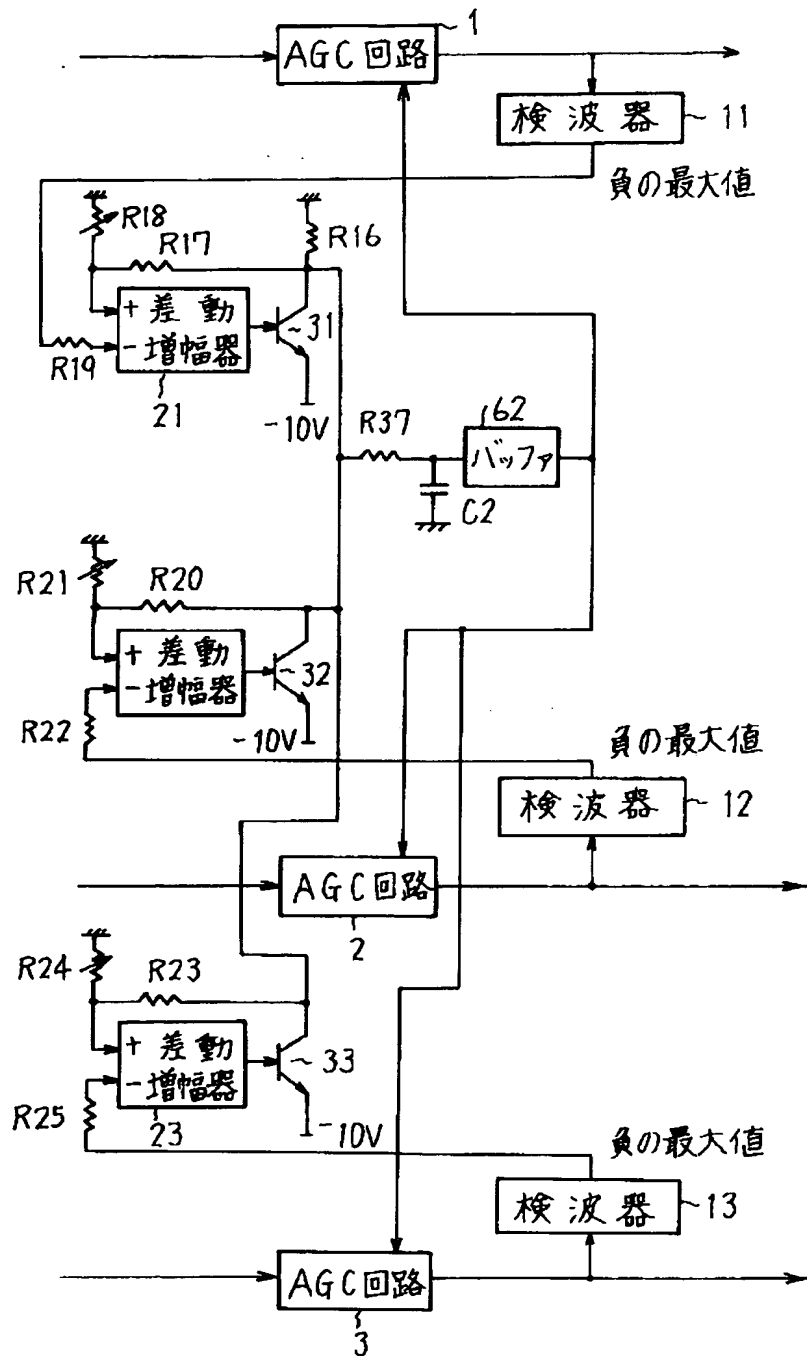
【図3】

本発明の他の実施例の共通AGC回路のブロック図



【図4】

本発明の実施例の3面アンテナスペースダイバシティの場合の共通AGC回路のブロック図



【図5】

従来例の共通AGC回路のブロック図

